

УДК 621.3.049.774; 519.853.6

ПРИМЕНЕНИЕ МЕТОДОВ ОПТИМИЗАЦИИ ПРИ ПРОЕКТИРОВАНИИ АНАЛОГОВЫХ СХЕМ РАДИОЭЛЕКТРОНИКИ

М. М. Гурарий, М. М. Жаров, Н. Н. Прокопенко, С. Г. Русаков, С. Л. Ульянов
Институт проблем проектирования в микроэлектронике Российской академии наук,
124365, г. Москва, ул. Советская, д. 3

Статья поступила в редакцию 31 марта 2018 г.

Аннотация. Обсуждается применение оптимизационных методов для решения задачи определения параметров аналоговых микросхем (АМ) в процессе их проектирования. Приводятся постановки оптимизационной задачи и методики ее решения для двух классов АМ – быстродействующих операционных усилителей и линейных компенсационных стабилизаторов напряжения с непрерывным регулированием (КСН). Выбор данных классов АМ обусловлен их широким распространением, наличием противоречивых проектных требований, которые влияют на сложность задачи определения оптимальных параметров. Приводится описание подсистемы оптимизации и результаты ее применения при проектировании быстродействующих КМОП операционных усилителей и биполярных КСН для «систем на кристалле».

Ключевые слова: операционный усилитель, линейный стабилизатор напряжения, система на кристалле, схемотехническое моделирование, параметрическая оптимизация, методы оптимизации.

Abstract. The application of optimization methods for determining parameters of analog integrated circuits is considered. The different types of optimization problem definition and methods of solving the optimization problems are given for the fast operational amplifiers and linear voltage regulators circuit classes. In design of CMOS Op-Amp circuits the conflicting design requirements must be met, including constraints on gain, power consumption, noise, phase margin etc., that makes difficult the problem of circuit parameters determination. For system on chip applications the

solution of the important problem of reduction of power consumption while increasing the circuit performance is required. The CMOS Op-Amp with dual-input stage architecture is the promising class for these applications due to the fact that it can provide high values of slew rate. To avoid the degradation of stability of a circuit the frequency compensation technique is applied. In this paper the parameter optimization problem of high-speed CMOS folded cascode Op-Amp with dual-input stage and current mirror based push-pull parallel channels is considered. The problem formulation to obtain minimum power consumption under given constraints on slew rate, gain, unity gain frequency and phase margin is presented.

Linear voltage regulators are the most popular circuits widely used in power management systems. The integration of linear regulators in a system-on-chip requires the output capacitor value reduced to a level that can be realized on chip. The frequency compensation scheme is used to provide the stability of a circuit. Transient response characteristics of a voltage regulator strongly depend on the combination of compensation capacitors and load capacitor. The main design problem is to find a trade-off between stability, precision, and fast-transient characteristics. The formulation of the optimization problem involves the minimization of the sum of capacitances under constraints on transient response characteristics and transistors sizes. The optimization subsystem with simulation-based optimization technique is described. Examples of circuit parameters optimization are given.

Key words: operational amplifier, linear voltage regulator, system on chip, circuit simulation, parameter optimization, optimization methods.

1. Введение

Наиболее распространенным активными элементами современной РЭА, характеристики которых определяют качественные показатели многих устройств радиотехники, приборостроения, связи и автоматики, являются широкополосные операционные усилители (ОУ). Для реализации концепции

«система на кристалле» (СнК) требуется решение задачи существенного уменьшения потребляемой мощности отдельных IP-модулей СнК при одновременном повышении их быстродействия. При проектировании ОУ необходимо удовлетворить многим техническим требованиям к показателям качества, включающим коэффициент усиления, полосу частот, запас по фазе, уровень шума, скорость нарастания выходного напряжения, потребляемую мощность и другие. Так как многие требования взаимно противоречивы и зависимости показателей ОУ от параметров пассивных и активных элементов имеют нелинейный характер, задача определения наилучшего схемотехнического решения ОУ является сложной и трудоемкой.

К группе важнейших динамических параметров ОУ, характеризующих его быстродействие и поведение при работе с быстроизменяющимися большими сигналами, относят максимальную скорость нарастания выходного напряжения (SR), время установления переходного процесса и граничную частоту усиления полной мощности [2].

Проблемы проектирования быстродействующих ОУ рассматривались в большом числе статей и монографий [1, 2]. Актуальной является задача проектирования быстродействующих КМОП ОУ, в том числе с комплементарным входным каскадом (dual-input-stage). Данная структура, в отличие от других вариантов построения КМОП ОУ [1], может обеспечивать высокие значения SR.

Линейные компенсационные стабилизаторы напряжения (КСН) также являются наиболее популярным подклассом аналоговой электронной компонентной базы, который широко применяется в системах электропитания СнК. Их назначение – уменьшить влияние на выходное напряжение КСН U_{out} нестабильности входного напряжения питания U_p , а также изменений тока нагрузки [3]. Имеется ряд применений, в которых требуются малошумящие и прецизионные КСН [3]. Для слаботочных приложений КСН являются более предпочтительным выбором по сравнению с импульсными стабилизаторами

[3]. В устройствах с батарейным питанием эффективны LDO стабилизаторы, у которых выходное напряжение близко к входному напряжению. Для микросхем типового КСН иногда требуется несколько внешних компонентов. Выходной конденсатор C_n уменьшает изменения U_{out} при импульсных токах нагрузки ΔI_n , а также влияет на устойчивость КСН. Относительно большая емкость C_n отрицательно сказывается на эффективности использования площади кристалла в СнК. Для интеграции КСН в структуру СнК необходимо уменьшить C_n до значений, которые могут быть реализованы на кристалле. Однако уменьшение C_n может ухудшить параметры переходного процесса и устойчивость КСН. Поэтому основная задача проектирования КСН состоит в нахождении компромисса между характеристиками устойчивости, точности и временем установления переходного процесса.

2. Задачи при проектировании быстродействующих КМОП ОУ

Микросхемы современных ОУ представляют собой достаточно сложные нелинейные динамические системы, свойства которых описываются десятками параметров [2]. В зависимости от области применения ОУ та или иная группа параметров и характеристик становится доминирующей. Для быстродействующих ОУ основными качественными показателями ОУ являются потребляемая мощность (POWER), максимальная скорость нарастания выходного напряжения (SR), коэффициент усиления по напряжению (GAIN), частота единичного усиления (UGF) и запас устойчивости по фазе (PHM).

В общем случае входной (DS), промежуточный (PK) и выходной (BA) каскады ОУ следует рассматривать как нелинейные звенья [2]. Учитывая, что самым инерционным элементом схемы правильно скорректированного ОУ является корректирующий конденсатор C_k , входной (DS) и промежуточный (PK) каскады можно объединить в подсхему драйвера емкости коррекции DСк (Рис. 1). Это позволяет учесть влияние напряжения ограничения V_{lim} проходной характеристики DСк на параметры переходного процесса для большого сигнала [2].

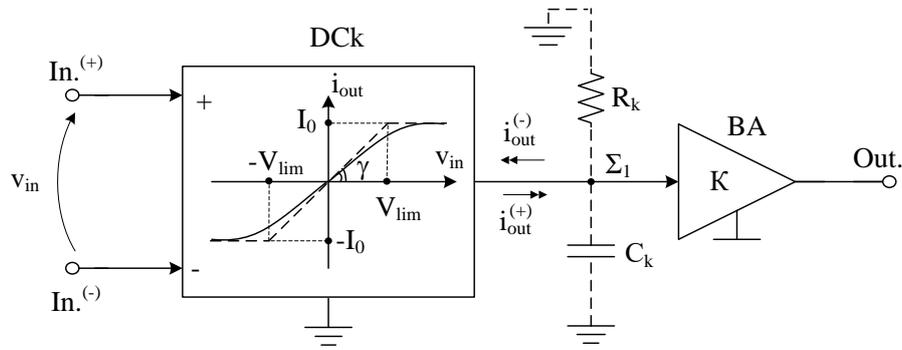


Рис. 1. Архитектура ОУ с однополюсной цепью частотной коррекции.

Так, максимальная скорость нарастания выходного напряжения ОУ с архитектурой (рис. 1) в режиме большого сигнала с однополюсной частотной коррекцией (R_k, C_k) определяется уравнением [1,2]:

$$SR \approx 2\pi f_1 V_{lim}, \quad (1)$$

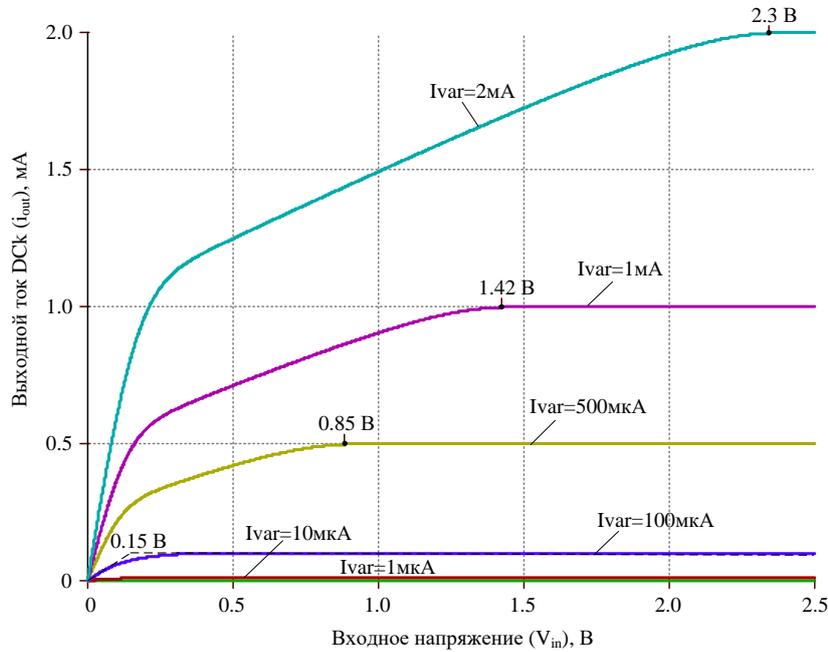
где f_1 – малосигнальная частота единичного усиления разомкнутого скорректированного ОУ; V_{lim} – напряжение ограничения проходной характеристики подсистемы DCK $i_{out}=f(v_{in})$, включающей входной (DS) и промежуточный (PK) каскады ОУ.

Из формулы (1) следует, что повышение SR в ОУ с архитектурой Рис. 1, независимо от того, на какой технологической базе он выполняется (SiGe, BiJFet, КМОП, КНИ, КНС и др.), можно осуществить двумя качественно разными путями:

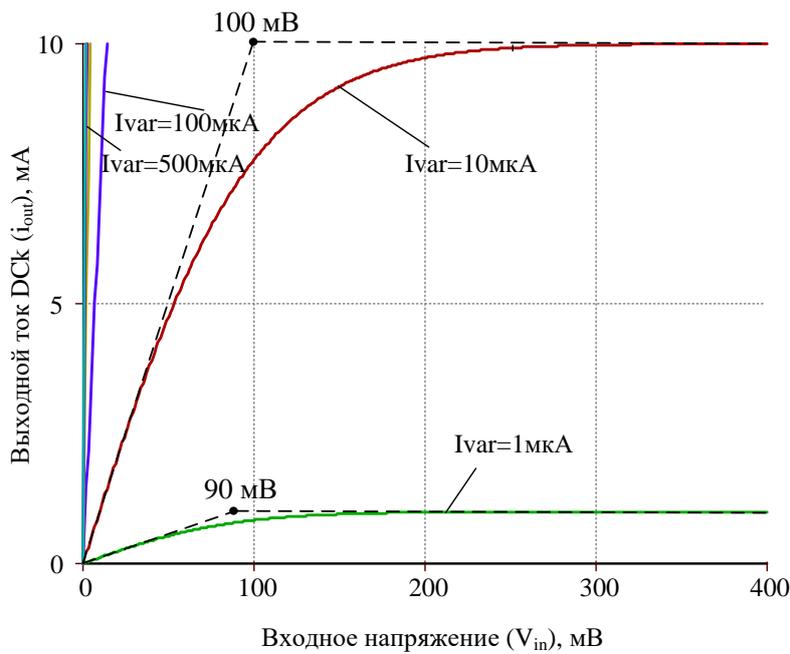
1. расширением диапазона активной работы подсистемы DCK, т.е. увеличением напряжения ограничения V_{lim} , которое (в идеальном случае) должно быть сопоставимо с напряжением питания ОУ. Такие схемотехнический и параметрический подходы [1,2], не требуют обязательного применения сверхвысокочастотных технологий, а также субнанометровых активных элементов;

2. повышением малосигнальной частоты единичного усиления ОУ (f_1) за счет использования транзисторов гигагерцового диапазона (например, SiGe, GaAs), а также более высокочастотных входных, промежуточных и выходных каскадов ОУ [2].

частотной характеристики и заданный запас устойчивости по фазе. Источники E_{off1} и E_{off2} устанавливают статический режим на затворах полевых транзисторов M5 и M6 и выходных токовых зеркал CM1, CM2.



а)



б)

Рис. 3. Проходные характеристики DСк ОУ рис. 2, позволяющие определить V_{lim} при разных значениях статических токов $I_1=I_2=I_{var}$

Благодаря токовым зеркалам CM1, CM2 при рациональном выборе статического режима КМОП транзисторов M1-M4, драйвер DCk может иметь расширенный диапазон активной работы (V_{lim}). Токи I1, I2 существенно влияют на величину V_{lim} и, как следствие, на SR (1). Они могут выбираться в широких пределах, например, от 1 мкА до единиц мА. При этом V_{lim} DCk изменяется в десятки раз – от 90÷120 мВ до единиц вольт (рис. 3), что оказывает существенное влияние на SR (1).

Зависимости SR ОУ рис. 2 в неинвертирующем включении при 100% отрицательной обратной связи от токов I1=I2 при разных значениях емкости C_k (C_c), полученные с помощью программы схемотехнического моделирования, показаны на Рис. 4.

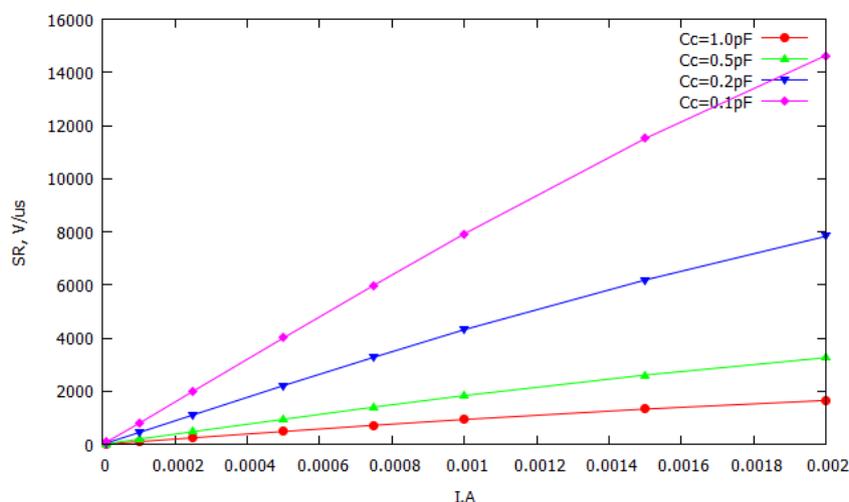


Рис. 4. Зависимость SR от токов I1=I2 при различных C_k (C_c).

Линейный характер зависимости $SR = \varphi(I_1)$ обусловлен тем, что напряжение ограничения DCk V_{lim} и, следовательно, SR, прямо пропорциональны токам I1=I2 (Рис. 3). Аналогично, с увеличением I1=I2 наблюдается увеличение коэффициента усиления КСН по петле ООС и частоты единичного усиления. Однако, при этом запас по фазе снижается (Рис. 5).

Таким образом, увеличение емкости C_k позволяет увеличить запас по фазе, но приводит к снижению частоты единичного усиления и, следовательно, SR. Поэтому формулировка оптимизационной задачи предполагает минимизацию

потребляемой мощности, максимизацию SR при ограничениях на коэффициент усиления, частоту единичного усиления и запас устойчивости по фазе.

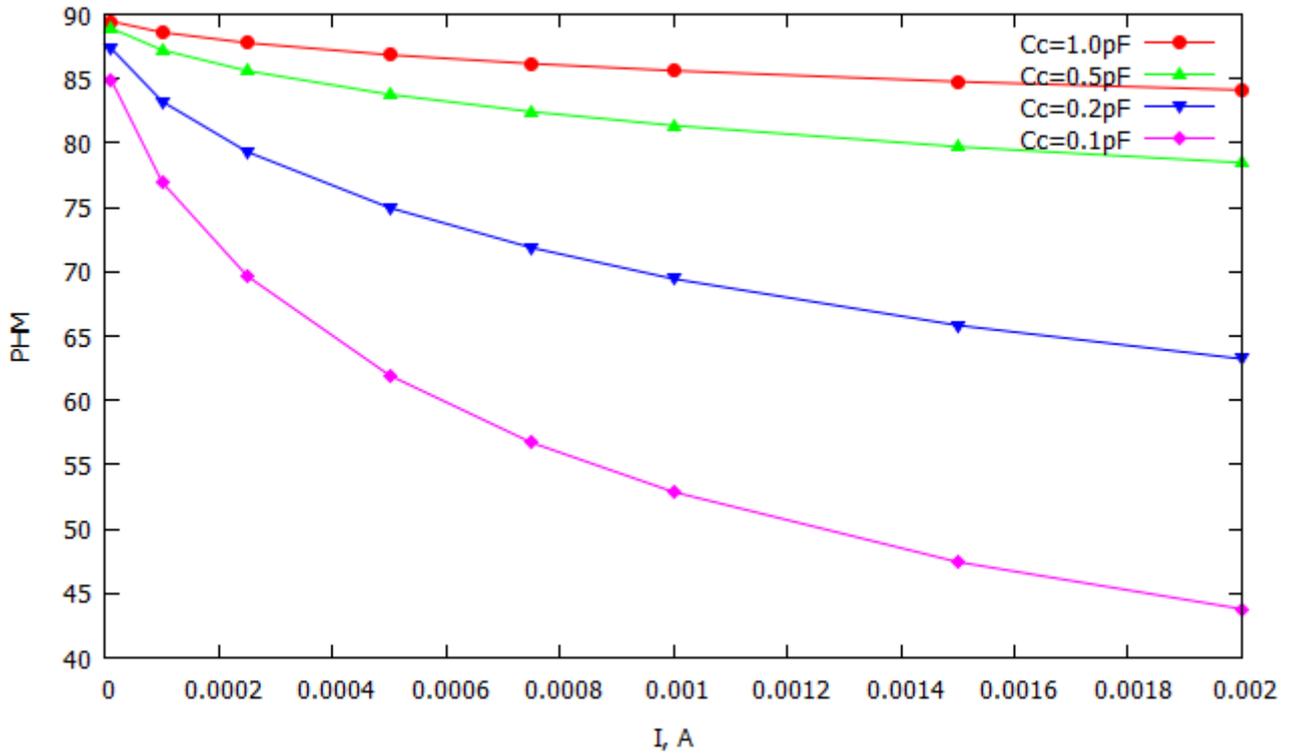


Рис. 5. Зависимость PHM от токов $I_1=I_2$ при различных C_k (C_c).

3. Задачи при проектировании линейных стабилизаторов напряжения

Функциональная схема классического КСН представлена на Рис. 6. Она включает регулирующий элемент PE, делитель напряжения на резисторах R1, R2 и усилитель ошибки EA.

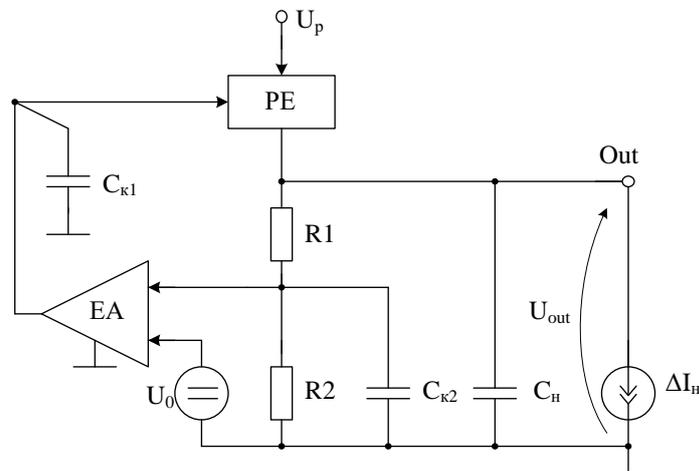


Рис. 6. Типовая схема компенсационного стабилизатора напряжения.

Нестабильное входное напряжение U_p поступает на РЕ, который уменьшает его до заданного уровня U_{out} . Часть выходного напряжения с делителя $R1, R2$ поступает на вход усилителя ошибки ЕА, который сравнивает его с опорным напряжением U_0 . Усилитель ошибки управляет РЕ таким образом, чтобы выходное напряжение КСН было постоянным $U_{out} = \text{const}$. Для обеспечения устойчивости схемы в дополнение к емкости нагрузки C_n в схему КСН могут вводиться дополнительные корректирующие конденсаторы, например, C_{k1}, C_{k2} . В этом случае емкость нагрузки C_n может быть относительно невелика. Так как характеристики переходного процесса сильно зависят от комбинации емкостей C_{k1}, C_{k2}, C_n , то требуется их правильный выбор. Задача выбора может быть сформулирована как оптимизационная задача: найти минимум суммы емкостей при заданных амплитудах «провалов» и «всплесков» выходного напряжения, обусловленных импульсными изменениями тока нагрузки ΔI_n и т.п.

Имеется ряд спецификаций, которые задают условия работоспособности КСН и которые необходимо учитывать при проектировании. Спецификации включают ограничения на основные показатели схемы (выходные параметры): падение напряжения на РЕ, нестабильность выходного напряжения по входу, нестабильность выходного напряжения по нагрузке, размах изменений выходного напряжения, время установления выходного напряжения, коэффициент подавления помех по питанию и ряд других [3]. Так как требования к показателям взаимно противоречивы, то необходимо компромиссное решение.

Падение напряжения (dropout voltage) есть минимальное разностное напряжение между входом (U_p) и выходом (U_{out}) КСН, когда при дальнейшем уменьшении U_p работоспособность КСН нарушается [3]. Нестабильность выходного напряжения по входу (line regulation) определяется как изменение выходного напряжения U_{out} вследствие изменения входного U_p . Данный показатель зависит от коэффициента усиления КСН по петле отрицательной

обратной связи (ООС) и определяется при подаче на вход импульсного или синусоидального напряжения (U_p). В идеальном случае, когда выходное напряжение не зависит от входного, данный показатель равен нулю. Нестабильность выходного напряжения по нагрузке (load regulation) определяется как изменение выходного напряжения U_{out} при изменении тока ΔI_n , который в частном случае может иметь форму импульса. В данном режиме значение этого показателя зависит от коэффициента усиления КСН с разомкнутой ООС, а также от выходного импеданса РЕ и определяется по переходному процессу при подаче импульса тока нагрузки. При этом определяются максимальный «провал» или «всплеск» выходного напряжения и время, необходимое для установления переходного процесса. Эти метрики зависят от выходной емкости C_n , максимального тока нагрузки, максимально допустимого изменения выходного напряжения и полосы пропускания по петле ООС. Время установления (settling time) определяется как время, в течение которого переходный процесс выходного напряжения КСН входит в заданную зону динамической ошибки ($\varepsilon=0.1$; $\varepsilon=0.05$; $\varepsilon=0.01$) и остается в пределах этой зоны.

4. Методы параметрической оптимизации в проектировании

При проектировании аналоговых схем решаются задачи выбора структуры схемы (структурный синтез) и определения параметров активных и пассивных элементов схемы (параметрический синтез). При традиционном подходе задачи выбора структуры схемы и параметрического синтеза решаются вручную, в итерационном цикле. При этом каждое новое решение (структура схемы или параметры схемы) создается на основе опыта и знаний проектировщика. Схемные симуляторы используются для оценки полученного решения и верификации проекта. Процесс характеризуется высокой трудоемкостью и не гарантирует получение оптимального результата.

К настоящему времени разработаны средства автоматизации проектирования аналоговых схем, которые позволяют автоматизировать

наиболее трудоемкие операции маршрута проектирования [4]. При разработке средств параметрического синтеза аналоговых схем используются два основных подхода [4]: на основе базы знаний (knowledge-based approach) и оптимизационный подход (optimization-based approach).

При оптимизационном подходе задача синтеза формулируется как задача параметрической оптимизации, для решения которой используются методы оптимизации. Кроме алгоритмов оптимизации важным компонентом системы является процедура расчета характеристик схемы. В свою очередь, оптимизационный подход может быть разделен на несколько подклассов в зависимости от применяемого способа расчета характеристик:

- расчет на основе уравнений [5],
- расчет с помощью модели [6],
- расчет с помощью моделирования [7-9].

Системы, построенные на основе моделирования схем, используют схемный симулятор для расчета необходимых характеристик в процессе оптимизационного поиска. Основным преимуществом этих систем является точность расчета характеристик, которую обеспечивает моделирование. Основное ограничение – высокие временные затраты, особенно при расчете сложных схем. Различные системы, основанные на моделировании для расчета характеристик схем, используют различные методы оптимизации, а также комбинации методов. Наиболее популярными применяемыми методами глобальной оптимизации являются метод отжига [7], эволюционные или генетические алгоритмы [4, 8, 9].

Целью параметрической оптимизации является определение параметров схемы (геометрические размеры транзисторов, номиналы пассивных элементов), при которых обеспечиваются наилучшие значения показателей схемы (коэффициент усиления, полоса пропускания и т.д.) и выполняются условия ограничений (геометрических, проектных и т.п.).

Частные критерии формируются на основе технических требований к

показателям схемы. Так как число показателей больше 1, то задача оптимизации оказывается многокритериальной: требуется найти экстремум вектор-функции

$$F(X) = [f_1(X), f_2(X), \dots, f_M(X)]^T \quad (2)$$

при наличии функциональных ограничений

$$g_i(X) \geq 0 \quad i = 1, \dots, K \quad (3)$$

и ограничений на параметры оптимизации

$$x_i^L \leq x_i \leq x_i^U \quad i = 1, \dots, N \quad (4)$$

Здесь $X = [x_1, x_2, \dots, x_N]^T$ - вектор параметров оптимизации, $f_1(X), f_2(X), \dots, f_M(X)$ - частные критерии оптимизации.

Частный критерий отражает степень влияния данного показателя $y_i(X)$ на качество схемы. Эта функция преобразует значение показателя к безразмерной величине и имеет фиксированное (обычно нулевое) значение при предельно-допустимом значении показателя

$$f_i(X) = \left| \frac{y_i(X) - \tilde{y}_i}{\tilde{y}_i} \right|. \quad (5)$$

Здесь \tilde{y}_i - предельно-допустимое значение показателя.

Задача многокритериальной оптимизации может быть сведена к задаче однокритериальной оптимизации с помощью определения единого скалярного критерия. Наиболее часто используется метод взвешенных сумм [10]

$$\min_{X \in D} \Phi(X) \quad \Phi(X) = \sum_{i=1}^M \omega_i f_i^2(X), \quad (6)$$

где D – область значений параметров, ω_i - весовые коэффициенты ($\sum_{i=1}^M \omega_i = 1$).

Так как скалярный критерий может включать только часть частных критериев, то оставшаяся часть и функциональные ограничения учитываются с помощью введения штрафной функции, которая позволяет свести задачу с ограничениями к задаче безусловной оптимизации.

Таким образом, задача параметрической оптимизации - задача минимизации целевой функции (6), определенной в некоторой ограниченной области значений аргументов. Особенностью задачи оптимизации, в которой для расчета показателей используется схемный симулятор, является то, что производные целевой функции неизвестны и не могут быть легко вычислены. Кроме того, предполагается возможность существования нескольких локальных минимумов. Вследствие этого известные методы оптимизации, использующие информацию о производных, оказываются неприменимы.

Следует отметить, что невозможно указать какой-либо один метод оптимизации, пригодный для решения всех возникающих задач параметрической оптимизации, поэтому необходимо иметь несколько методов различных классов.

Для решения задачи параметрической оптимизации были выбраны следующие алгоритмы:

- алгоритм локального поиска Нелдера-Мида NM [11] для отдельного использования и применения в составе комбинированных процедур оптимизации,

- алгоритм моделируемого отжига SA [12], алгоритм дифференциальной эволюции DE [13] и модифицированный алгоритм дифференциальной эволюции DE-I, учитывающий ограничения переменных.

5. Подсистема параметрической оптимизации

Структура подсистемы оптимизации показана на Рис. 7 [14]. На вход подсистемы поступают файл описания схемы и файл задания на оптимизацию. Управляющая программа вызывает метод оптимизации, указанный в задании. В процессе оптимизации вызывается блок вычисления целевой функции и частных критериев. Для вычисления критерия формируются конфигурация схемы и команды вычисления показателей, и запускается схемный симулятор. После завершения моделирования вычисленные показатели используются для определения целевой функции. По окончании процесса оптимизации

подсистема выводит оптимальные значения параметров схемы и полученные показатели.

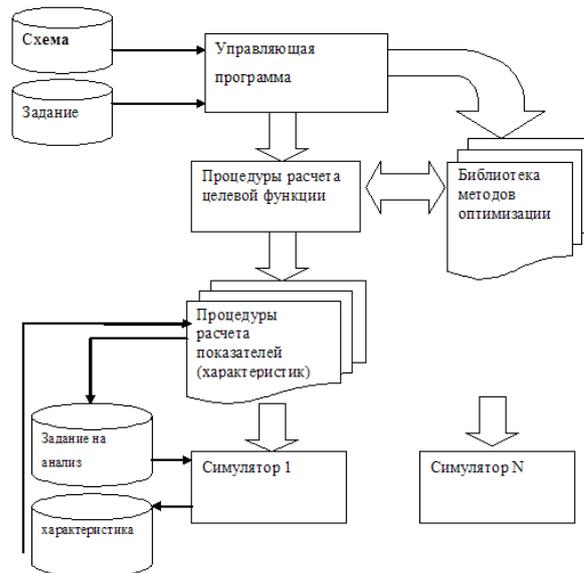


Рис. 7. Структура подсистемы параметрической оптимизации.

Входные данные подсистемы включают файл описания схемы и файл задания на оптимизацию. Файл описания схемы соответствует применяемому для расчета показателей схемному симулятору. На Рис. 8 показан фрагмент файла задания на оптимизацию, который включает команды `.parameter`, `.cktconf`, `.goal`, `.constraint`, и команды оптимизации.

```

*** parameters
.parameter CC = (4.0e-12 1.0e-12 15.0e-12 1e-12)
*** circuit configurations
.cktconf 1
cload out 0 10p
vcommon com 0 dc=2.5v
xoramp inn inp out vdd vss ibias poramp
vss vss 0 dc=0v
vdd vdd 0 dc=5v
.ac dec 100 1 100e9"
.MEASURE AC GAIN MAX mag(V(OUT))
* goals
.goal POWER MIN
.constraint GAIN GT 40.0
.NM maxiter=1000
  
```

Рис. 8. Фрагмент файла задания на оптимизацию.

Команда `.parameter` позволяет задать оптимизируемые параметры схемы, их границы и шаг изменения. Команда `.cktconf` задает конфигурацию схемы, вид

анализа и команды расчета показателей, которые определяются для заданной конфигурации и анализа. Команды .goal и .constraint задают критерий оптимизации и ограничения. Команды .NM, .DE задают используемый метод оптимизации.

6. Результаты вычислительного эксперимента

Процесс параметрической оптимизации иллюстрируется на примере схемы быстродействующего КМОП операционного усилителя (Рис. 2). Целью оптимизации является минимизация потребляемой мощности при наличии ограничений на скорость нарастания выходного напряжения (SR), коэффициент усиления (GAIN), частоту единичного усиления (UGF) и запаса по фазе (PHM), который обеспечивает устойчивость схемы: $SR > Z$; $GAIN > 100$ дБ; $45^\circ < PHM < 90^\circ$; $UGF > 10^9$ Гц.

Переменными оптимизации являются ширина канала транзисторов M1-M4 (W1_4), емкость C_k (C_C), ток I1 (I_1), на которые наложены двусторонние ограничения: $10 \mu\text{A} < I_1 < 1000 \mu\text{A}$; $0.1 \text{ пФ} < C_C < 1 \text{ пФ}$; $1 \text{ мкм} < W1_4 < 20 \text{ мкм}$.

Решались несколько оптимизационных задач с различными значениями Z. Полученные результаты представлены в таблице 1. Отметим, что полученные результаты различаются для различных значений Z. При $Z=8000$ минимум потребляемой мощности достигается с нарушением ограничения на SR. При этом значение SR в оптимальной точке равно 7824.9 В/мкс. Кроме того, изменение ограничения на UGF позволяет несколько снизить значение потребляемой мощности в оптимальной точке. Например, оптимизация с $Z=500$ и ограничением $UGF > 10^8$ дает $POWER=1$ мВт, $SR=525$ В/мкс, $UGF=4.8 \cdot 10^8$ Гц.

Схема стабилизатора напряжения, в котором проводилась оптимизация емкостей C1 (C_H) и C2, показана на Рис. 9. При этом численные значения C4, C3, которые моделируют паразитные емкости, не превышали 0,5 пф.

Резистор R3 - нагрузка. Источник I2 характеризует импульсное изменение тока нагрузки. Емкости конденсаторов $C1=C_H$ и C2 являются параметрами схемы (соответственно CH и CKOR1).

Таблица 1. Результаты оптимизации для различных значений Z.

Z, В/мкс	I ₁ , мкА C _C , пФ W1-4, мкм	POWER, мВт	SR, В/мкс GAIN, дБ PHM, ° UGF, Гц
500	320 0.1 1	2.99163	1803.45 116.749 83.8626 9.99976e+008
1000	320 0.1 1	2.99163	1803.45 116.749 83.8626 9.99976e+008
2000	410 0.1 1	3.36923	2013.1 117.722 83.2858 1.12359e+009
3000	400 0.1 15	7.34104	3032.49 127.427 65.4188 3.43376e+009
5000	630 0.1 5	9.82464	5041.46 127.613 69.2782 3.45166e+009
7000	730 0.1 3	13.008	7020.76 129.761 65.2659 4.36352e+009
8000	990 0.1 9	16.0679	7824.9 *** 132.037 57.8471 5.6211e+009

Показатели вычисляются по переходному процессу отклика схемы на скачок тока нагрузки. Импульс тока имеет амплитуду 100 мА, фронты 100 пс и длительность 40 мкс. Определяется максимальное отклонение выходного напряжения dv_1 (передний фронт) и dv_2 (задний фронт). Время установления t_s определяется по 5% отклонению от установившегося напряжения U_{out} .

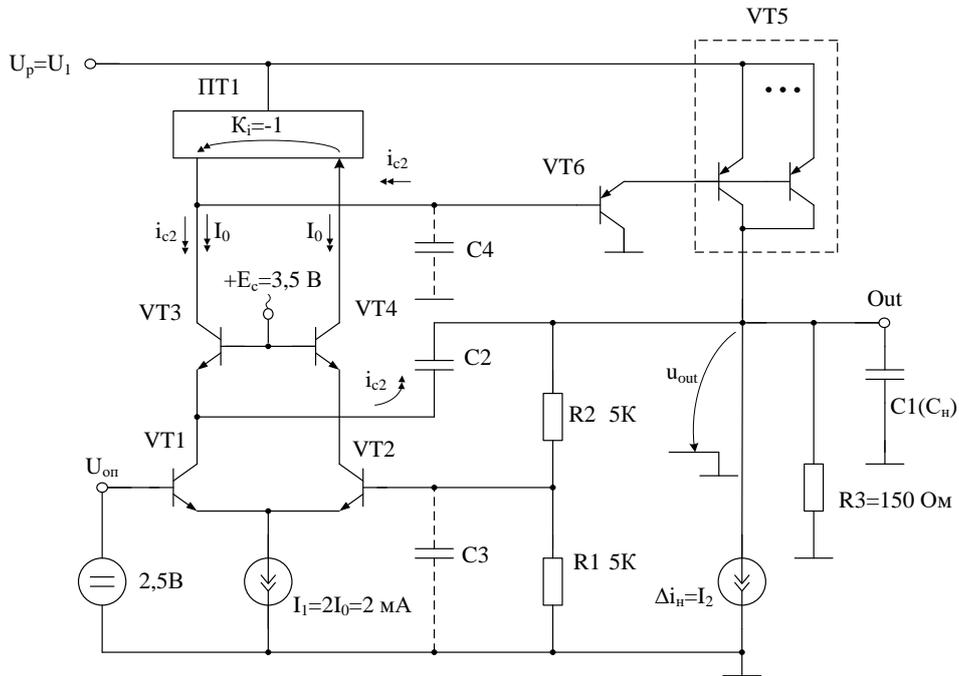


Рис. 9. Схема биполярного стабилизатора напряжения.

Требуется найти минимум суммарной емкости $CSUM = C_H + C_{KOR1}$ при ограничениях $t_s < 10$ нс, $dv1 < 0.1$ В, $dv2 < 0.1$ В и двусторонних ограничениях на переменные оптимизации $0 < C_H < 100$ пФ, $0 < C_{KOR1} < 100$ пФ. В результате оптимизации получены оптимальные значения параметров $C_H^* = 85$ пФ, $C_{KOR1}^* = 100$ пФ, которые обеспечивают значения показателей $t_s = 9.65284$ нс, $dv1 = 0.0828109$ В, $dv2 = 0.034224$ В. График переходного процесса показан на Рис. 10.

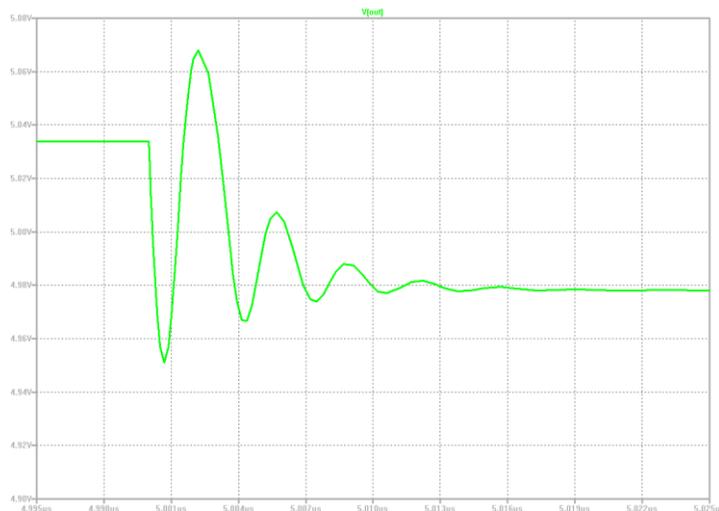


Рис. 10. Переходной процесс (передний фронт).

Для определения устойчивости схемы с найденными значениями параметров проводился расчет коэффициента усиления и запаса по фазе по методике [15]. В таблице 2 показаны значения запаса по фазе для $CН^*=85\text{pF}$ и различных значений $СКОР1$.

Таблица 2. Запас по фазе при различных значениях $СКОР1$.

СКОР1, пФ	PHM, °
100	80.4
90	78.87
70	74.72
50	68.11
20	45.23
10	25.66
0	-20.82

Коэффициент PSRR (Power supply rejection ratio) определялся с помощью частотного (AC) анализа. Частотная зависимость PSRR показана на Рис. 11. Значение PSRR равно -50.71 дБ в диапазоне частот от 0 до 700 кГц и -48 дБ при 1 МГц.

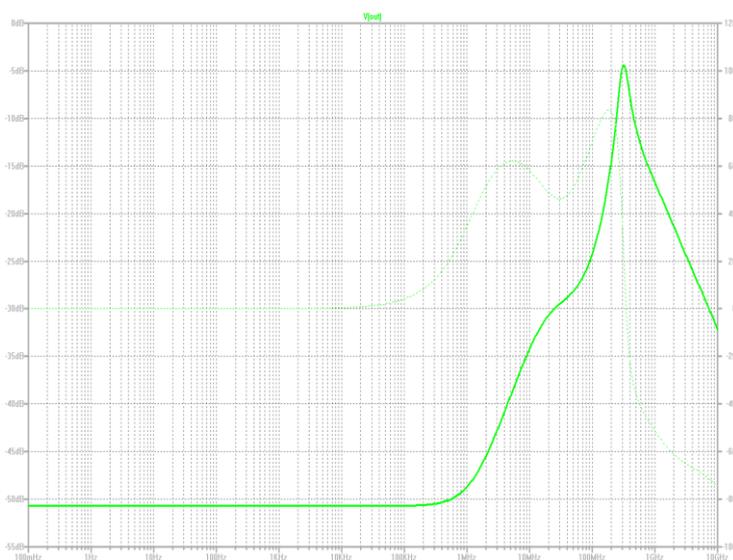


Рис. 11. Зависимость коэффициента PSRR от частоты.

7. Заключение

В статье рассмотрены вопросы применения оптимизационных методов для решения задачи определения параметров быстродействующих КМОП операционных усилителей с двухтактными параллельными каналами и комплементарным входным каскадом. Приведена формулировка оптимизационной задачи для получения минимальной потребляемой мощности, максимальной скорости нарастания выходного напряжения ОУ при наличии ограничений на основные показатели и параметры схемы.

Оптимизация в линейном компенсационном стабилизаторе напряжения позволяет определять минимальную суммарную корректирующую емкость при заданных ограничениях на величину C_n , что создает условия его реализации в рамках «системы на кристалле».

Литература

1. Filanovsky I.M., Ivanov V.V. Operational Amplifier Speed and Accuracy Improvement: Analog Circuit Design with Structural Methodology – New York: Kluwer Academic Publishers, 2004. – 194 p.
2. Прокопенко, Н.Н. Архитектура и схемотехника быстродействующих операционных усилителей: монография / Н.Н. Прокопенко, А.С. Будяков. – Шахты: Изд-во ЮРГУЭС, 2006. – 231 с.
3. Rincon-Mora G. A., Allen P. E. A low-voltage, low quiescent current, low drop-out regulator // IEEE J. Solid-State Circuits. 1998. Vol. 33. No 1. P. 36–44.
4. Barros M.F.M., Guilherme J.M.C., Horta N.C.G. Analog Circuits and Systems Optimization Based on Evolutionary Computation Techniques. – Berlin: Springer-Verlag, 2010.
5. Harvey, J.P., Elmasry, M.I., Leung, B.: STAIC: An interactive framework for synthesizing CMOS and BICMOS analog circuits // IEEE Trans. Computer-Aided Design. 1992. Vol. 11. No 11. P. 1402–1417.
6. Bernardinis, F., Jordan, M.I., Sangiovanni-Vincentelli, A. Support vector machines for analog circuit performance representation // In Proc. ACM/IEEE

Design Automation Conf. – 2003. P. 964–969.

7. Sonmez O., Dunder G., Simulation-based analog and RF circuit synthesis using modified evolutionary strategies algorithms // Integration, the VLSI Journal. 2011. Vol. 44. No 2. P. 144–154.
8. Liu B., Wang Y., Yu Z. et al. Analog circuit optimization system based on hybrid evolutionary algorithms // Integration, the VLSI Journal. 2009. Vol. 42. No 2. P. 137–148.
9. Lourenço N., Horta N., GENOM-POF: multi-objective evolutionary synthesis of analog Ics with corners validation // Proc.of the 14th annual conf. on genetic and evolutionary computation. – 2012, P. 1119-1126.
10. Норенков И.П. Основы автоматизированного проектирования. – М.: МГТУ им. Н.Э.Баумана, 2009.
11. Numerical Recipes in C: the art of scientific computing / W.H. Press et al – 2 edition, Camdridge: Camdridge University Press, 2002. – 1178 p.
12. Numerical Recipes Software 2007. Code for Minimization with Simulating Annealing. Numerical Recipes Webnote 15, URL: <http://www.nr.com/webnotes15>.
13. Price K., Storn R.M., Lampinen J.A. Differential Evolution: A Practical Approach to Global Optimization. – Springer, 2005.
14. Гурарий М.М., Жаров М.М., Русаков С.Г., Ульянов С.Л., Лялинский А.А. Подсистема параметрической оптимизации КМОП операционных усилителей // Проблемы разработки перспективных микро- и нанoeлектронных систем. 2016. No 1. С. 109-116.
15. Tian M., Visvanathan V., Hantgan J., Kundert K. Striving for Small-Signal Stability // IEEE Circuits and Devices Magazine. 2001. Vol. 17. No. 1. P. 31-41.

Для цитирования:

М. М. Гурарий, М. М. Жаров, Н. Н. Прокопенко, С. Г. Русаков, С. Л. Ульянов. Применение методов оптимизации при проектировании аналоговых схем радиоэлектроники. Журнал радиоэлектроники [электронный журнал]. 2018. № 4. Режим доступа: <http://jre.cplire.ru/jre/apr18/6/text.pdf>
DOI 10.30898/1684-1719.2018.4.6