

DOI: <https://doi.org/10.30898/1684-1719.2026.4.14>

УДК: 621.3.049.774.2

ПРОЕКТИРОВАНИЕ ЦЕЛОЧИСЛЕННОГО СИНТЕЗАТОРА ЧАСТОТ ПО ТЕХНОЛОГИИ КМОП 180 нм «МИКРОН»

А.Ю. Евлампьев

Национальный исследовательский ядерный университет «МИФИ»,
115409, г. Москва, Каширское шоссе, д. 31

Статья поступила в редакцию 16 февраля 2026 г.

Аннотация. В наше время особенно актуально импортозамещение ключевых компонентов связующих устройств, таких как синтезаторы частот. В статье показана реализация топологии прототипа интегральной микросхемы ФАПЧ на основе имеющейся на данный момент технологии КМОП 180 нм на базе производственного цикла АО «Микрон». В совокупности с внешним генератором, управляемым напряжением микросхема образует целочисленный синтезатор частот. Прототип может служить для оценки пригодности данной технологии для проектирования целочисленных синтезаторов частоты с входной частотой до 1 ГГц. В статье приведены таблицы с результатами моделирования основных СФ-блоков и временные диаграммы. Максимальная частота сравнения 200 МГц, частота работы основного и опорного делителей 1 ГГц, величина выходного тока зарядно-разрядного блока может регулироваться внешним токозадающим резистором, имеется функция перевода микросхемы в пониженное потребление по внешнему сигналу. Размеры рамки топологии 1,15 мм на 1,15 мм. Дальнейшее измерение микросхемы позволит оценить технологические возможности фабрики и точность предоставляемых моделей.

Ключевые слова: синтезатор частот, СВЧ-электроника, интегральная микросхема, ФАПЧ.

Финансирование: Производство интегральной микросхемы было выполнено за счет средств федерального бюджета в рамках Государственной программы Российской Федерации «Научно-технологическое развитие Российской Федерации».

Автор для переписки: Евлампьев Андрей Юрьевич, evlampev.andrew@mail.ru

Введение

Синтезатор частот – это устройство для генерации высокостабильных сигналов с определенной сеткой частот. В настоящее время одна из наиболее популярных систем синтезирования – это ФАПЧ (фазовая автоподстройка частоты) [5]. Рассмотрим структурную схему системы ФАПЧ, она представлена на рис. 1.

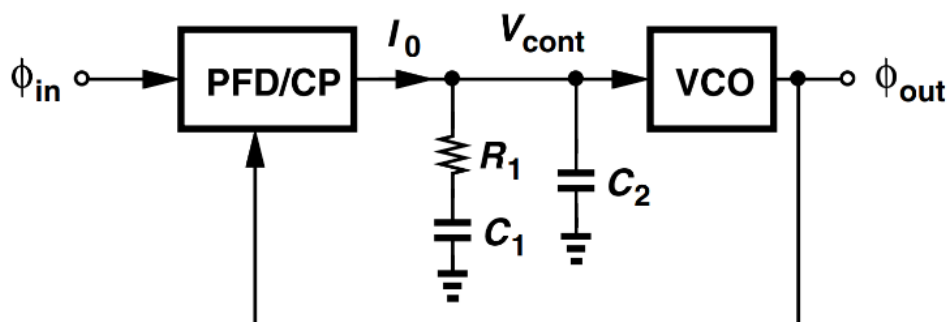


Рис. 1. Структурная схема системы ФАПЧ [1].

Основной принцип работы заключается в том, что фазово-частотный детектор (ЧФД или PFD) совместно с зарядно-разрядным блоком (ЗРБ или CP) сравнивает фазу опорного сигнала и сигнала, пришедшего по обратной связи с генератора, управляемого напряжением (ГУН или VCO). При этом на пассивном фильтре низких частот (ФНЧ или LPF) вырабатывается управляющее напряжение ($V_{упр}$ или V_{cont}), которое в свою очередь регулирует частоту генератора. Таким образом система стремится к тому, чтобы свести фазовую разность между двумя сигналами к нулю и прийти в устойчивое состояние. На выходе получается сигнал, отличающийся от исходного лишь наличием

некоторой постоянной фазовой ошибки, но обладающим той же частотой, что и входной. Если добавить в цепь обратной связи переменный делитель частоты, то на выходе получится сигнал с частотой, умноженной на коэффициент деления по сравнению с опорной. Структурная схема такой системы изображена на рис. 2.

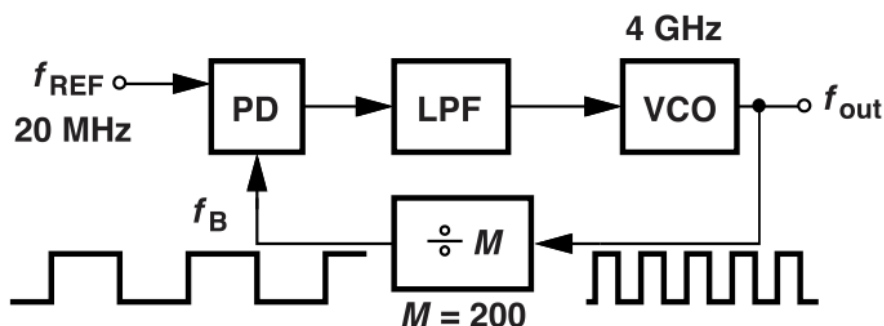


Рис. 2. Пример системы ФАПЧ с делителем в обратной связи [6].

На рис. 2 петля сформировала такое управляющее напряжение, что ГУН вырабатывает сигнал с частотой 4 ГГц, что в 200 раз больше опорной частоты, равной 20 МГц. Большинство современных синтезаторов частот на основе ФАПЧ способны работать в двух режимах: целочисленный и дробный. Данный режим зависит от способа деления частоты сигнала в цепи обратной связи. Целочисленные ФАПЧ относительно просты в схемотехническом плане, что является их несомненным достоинством. Именно по этой причине данная система была выбрана для этой работы.

1. Описание микросхемы

Структурная схема разрабатываемого синтезатора показана на рис. 3.

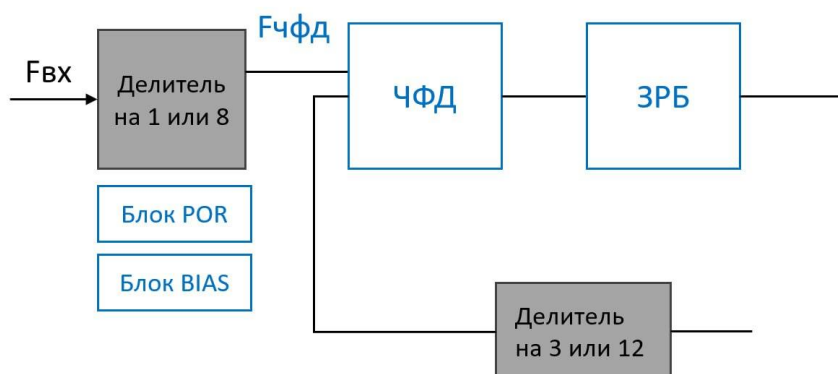


Рис. 3. Структурная схема разрабатываемого синтезатора на основе ФАПЧ.

Синтезатор имеет встроенные блоки делителя опорной частоты (на 1 или 8) и основной частоты (на 3 или 12), блок частотно-фазового детектора (ЧФД) и зарядно-разрядного блока (ЗРБ). Микросхема имеет блок сброса при включении POR (power-on reset) и блок опорных токов и напряжений (BIAS). Также микросхема имеет возможность перевода в состояние пониженного токопотребления по внешнему сигналу.

2. Делитель опорной частоты

Делитель опорной частоты должен обладать нужной чувствительностью по входу, поднимать уровень входного сигнала до необходимого КМОП значения, в данном случае 3.3 В и обеспечивать достаточно резкие фронты, для минимизации фазового шума на выходе делителя. Коэффициент деления на 1 выбран для измерения максимальной частоты работы блоков частотно-фазового детектора и зарядно-разрядного блоков. Коэффициент деления на 8 выбран для измерения максимальной частоты работы самого делителя опорной частоты и обеспечения рабочей частоты ЧФД и ЗРБ. Структурная схема блока опорной частоты показана на рис. 4. На рис. 5 показана временные диаграммы работы блока при входной частоте 1 ГГц и амплитуде 800 мВ, коэффициент деления равен 8. Как видно, выходной сигнал имеет прямоугольный вид и частоту, близкую к 125 МГц. В табл. 1 представлены результаты моделирования блока с учетом паразитных составляющих. Моделирование фазового шума осуществлялось для входной частоты 800 МГц и коэффициента деления равного 8. Частота на выходе равна 100 МГц. Типовые значения соответствуют типовым математическим моделям транзисторов, напряжению питания 3,3 В и температуре окружающей среды 25 градусов. Худшие значения фазовых шумов достигались при напряжении питания 2,7 В, температуре 125 градусов и “замедленным” математическим моделям транзисторов, имитирующих технологический разброс.

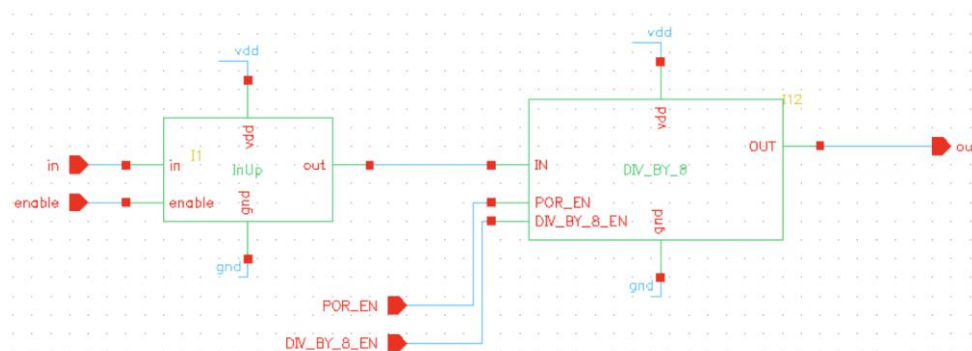


Рис. 4. Структурная схема блока опорной частоты.

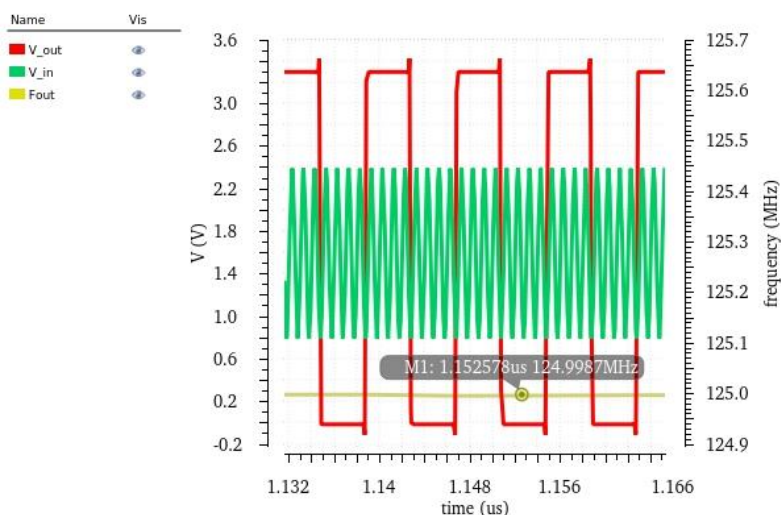


Рис. 5. Временная диаграмма работы блока при делении сигнала с частотой 1 ГГц на 8.

Таблица 1. Характеристики опорного тракта частоты.

Параметр	Результаты моделирования		
	мин	тип	макс
Напряжение питания, В	2,7	3,0	3,6
Рабочая температура, °С	-60	25	125
Коэффициент деления делителя опорной частоты, ед	1	-	8
Частота, МГц	-	-	1000
Уровень фазового шума на отстройке 10кГц, дБн/Гц	-	-145	-139
Уровень фазового шума на отстройке 1МГц, дБн/Гц	-	-164	-156
Чувствительность, V _{размаха}	0,8	-	3,3

3. Делитель основной частоты

Делитель основной частоты функционально схож с делителем опорной частоты. Деление осуществляется на 3 или 12. Коэффициент деления на 3 выбран для измерения максимальной частоты работы блоков частотно-фазового детектора и зарядно-разрядных блоков. Коэффициент деления на 12 выбран для измерения максимальной частоты работы самого делителя основной частоты и обеспечения рабочей частоты ЧФД и ЗРБ. Структурная схема делителя на 3 или 12 показана на рис. 6. Работа основана на триггерах и логических элементах. В табл. 2 представлены результаты моделирования блока с учетом паразитных составляющих. Схемотехническая и топологическая составляющая делителя основного делителя схожа с опорным, что ведет к схожести полученных характеристик.

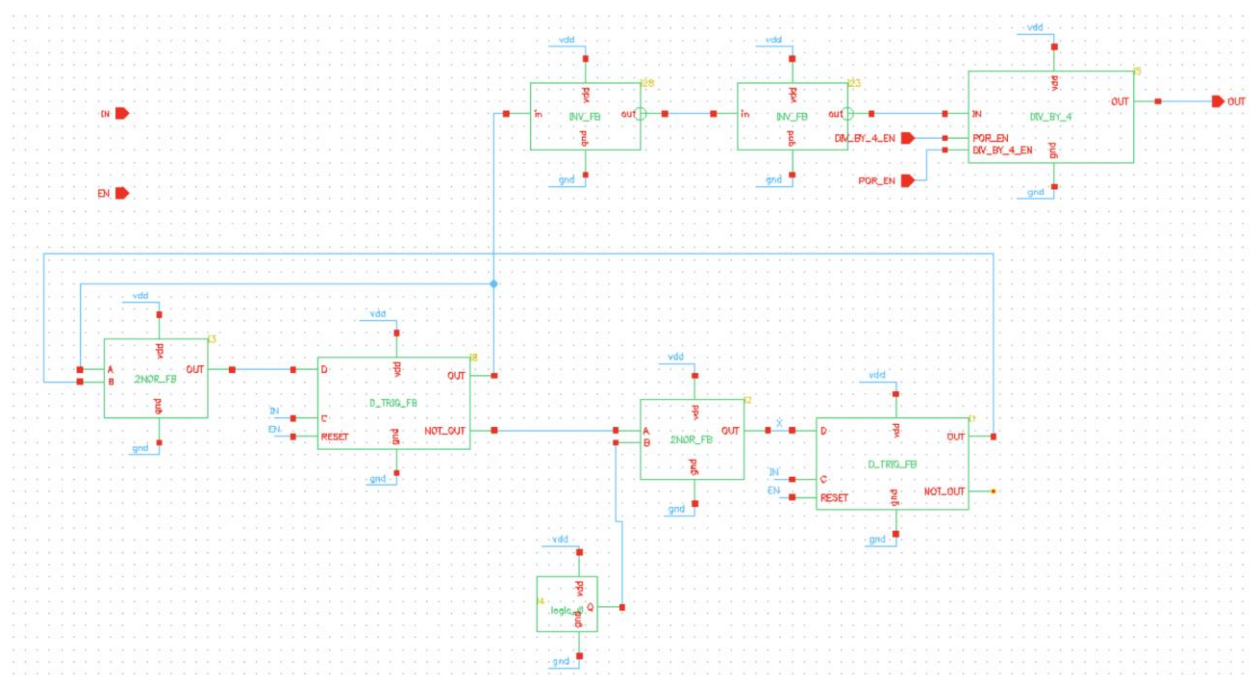


Рис. 6. Структурная схема основного делителя на 3 или 12.

Таблица 2. Характеристики основного тракта частоты.

Параметр	Результаты моделирования		
	мин	тип	макс
Напряжение питания, В	2,7	3,0	3,6
Рабочая температура, °С	-60	25	125
Коэффициент деления делителя опорной частоты, ед	1	3	12
Частота, МГц	-	-	1000
Уровень фазового шума на отстройке 10 кГц, дБн/Гц		-145	-142
Уровень фазового шума на отстройке 1 МГц, дБн/Гц		-165	-160
Чувствительность, дБм	-5	-	10

3. Блок ЧФД и ЗРБ

Основное требование к блоку ЧФД – максимальная частота работы, схема выполнена по классическому решению на D – триггерах с компенсацией “мертвой зоны” встроенной задержкой. ЧФД работает до частот 200 МГц. Структурная схема блока представлена на рис. 7. В табл. 3 представлены результаты моделирования блока с учетом паразитных составляющих.

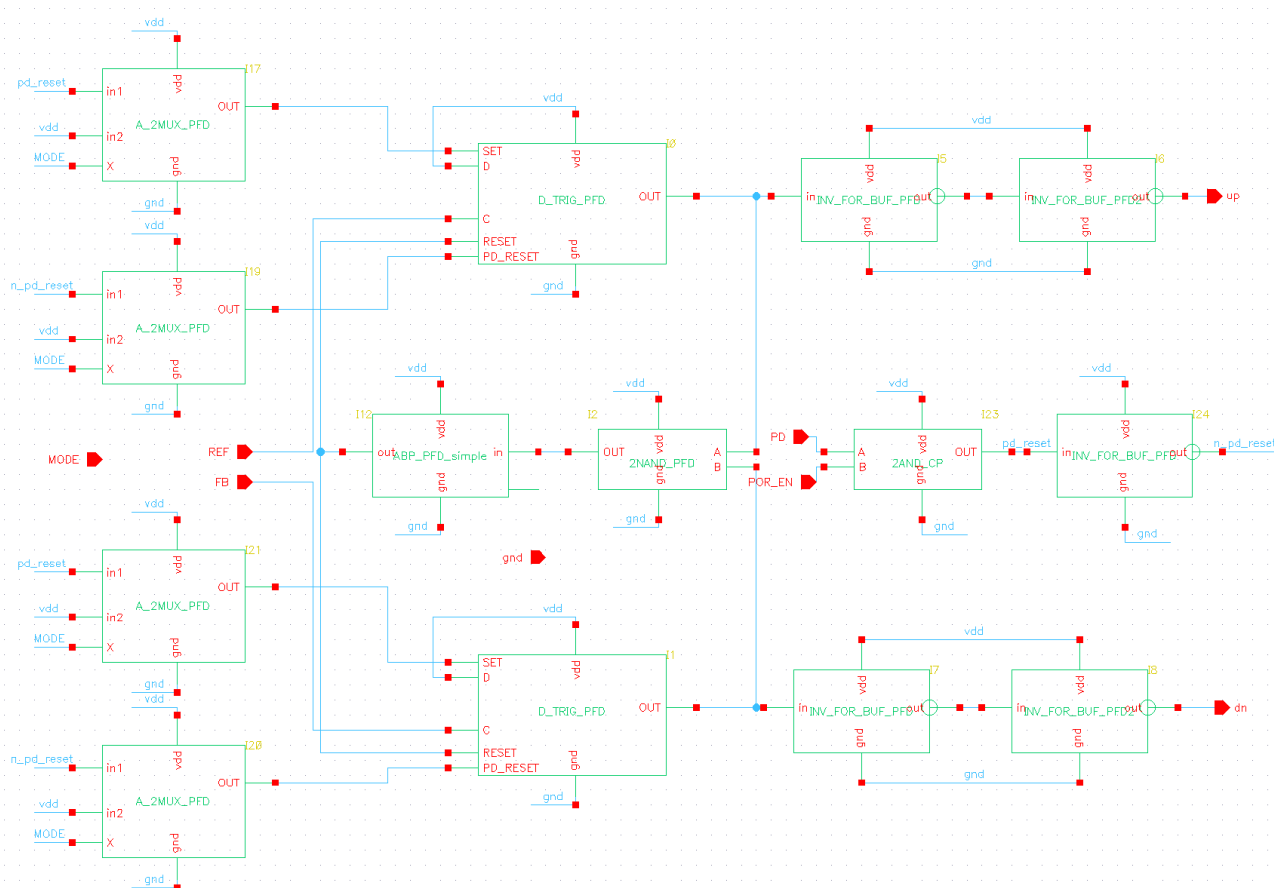


Рис. 7. Структурная схема блока ЧФД.

Таблица 3. Характеристики блока ЧФД.

Параметр	Результаты моделирования		
	МИН	ТИП	МАКС
Напряжение питания, В	2,7	3,0	3,6
Рабочая температура, °С	-60	25	125
Динамический ток потребления, мА	-	1,1	1,5
Частота, МГц	-	-	110

Блок ЧФД в совокупности с ЗРБ способен вырабатывать управляющий ток, который проходя через фильтр преобразуется в управляющее напряжение. Временная диаграмма работы блоков ЧФД и ЗРБ показана на рис. 8

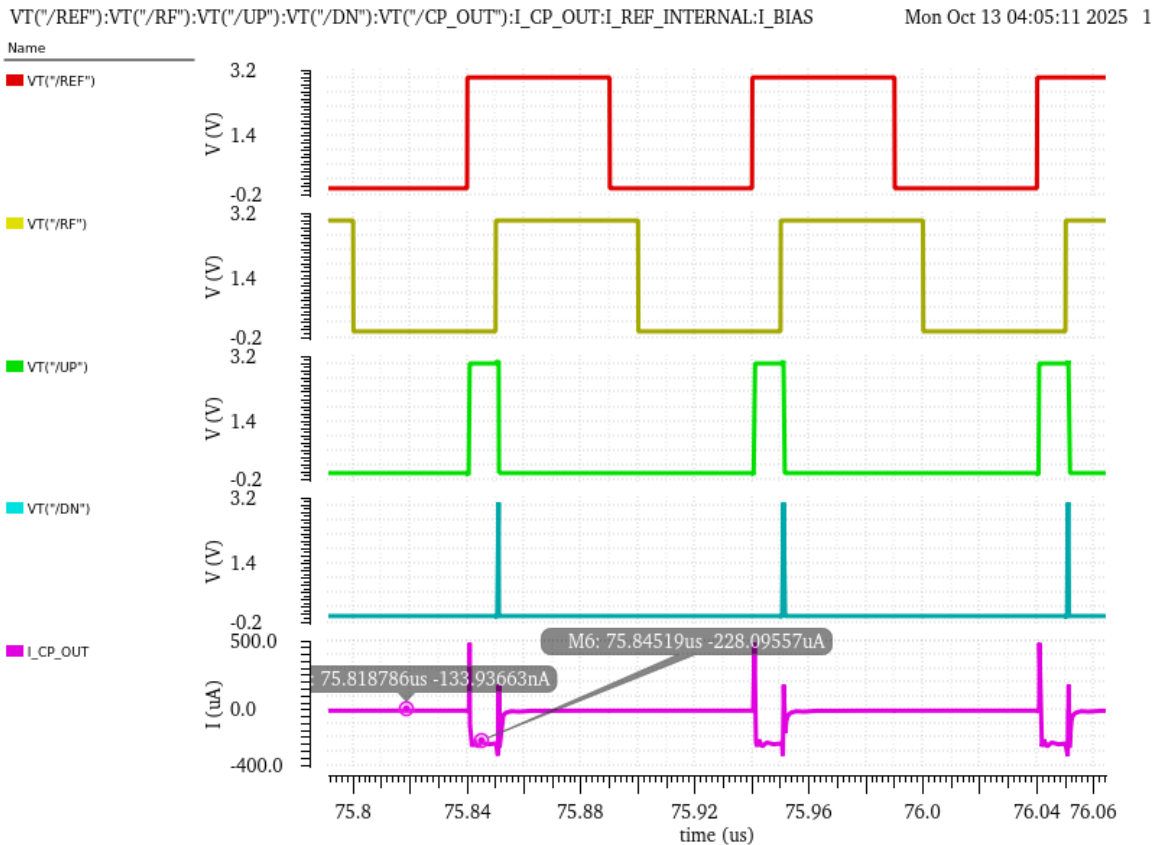


Рис. 8. Временная диаграмма работы ЧФД и ЗРБ.

При наличии фазовой ошибки входных сигналов REF и RF, блок ЧФД вырабатывает сигнала UP и DN. Когда эти сигналы имеют разные состояния блок ЗРБ вырабатывает управляющий ток, который в данном примере равен примерно 228 мкА. В данном случае ток вытекающий.

3. Моделирование всей схемы и топология.

Результаты моделирования всей схемы представлены на рис. 9.

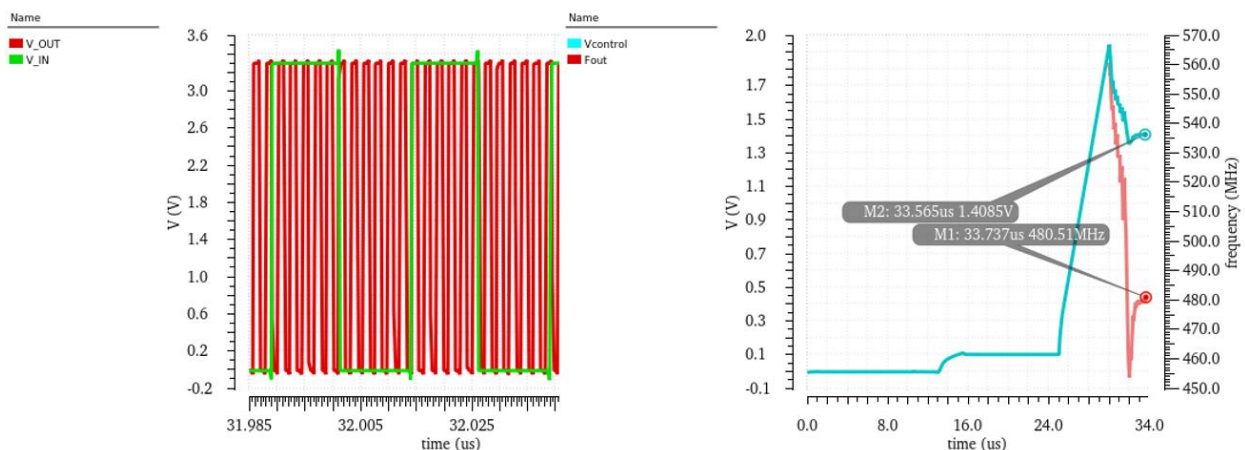


Рис. 9. Временная диаграмма работы микросхемы.

Слева показаны временные диаграммы входного и выходного сигналов. На вход поступает сигнал с частотой 40 МГц, делитель опорного сигнала осуществляет деление на 1. Основной делитель настроен на коэффициент деления 12. Таким образом на выходе ожидается установка частоты 480 МГц. Справа показана временная диаграмма установки управляющего напряжения и частота выходного сигнала. Время захватывания петли составило 10 мкс, выходная частота близка к 480 МГц, что говорит об успешной работе микросхемы.

На рис. 10 показан спектр выходного прямоугольного сигнала. Уровень паразитных спектральных составляющих составляет 56 дБн.

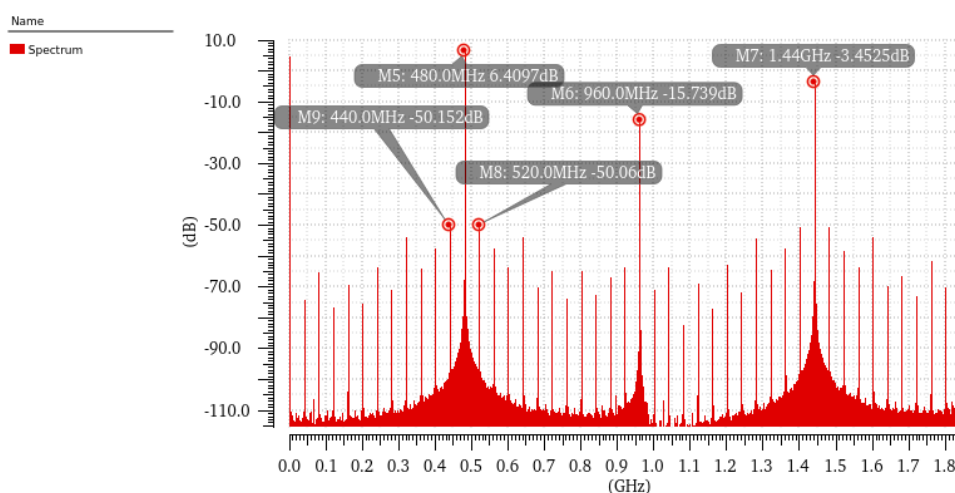


Рис. 10. Спектр выходного сигнала.

Конечная топология микросхемы приведена на рис. 11. Размеры рамки составляет 1,15 мм на 1,15 мм.

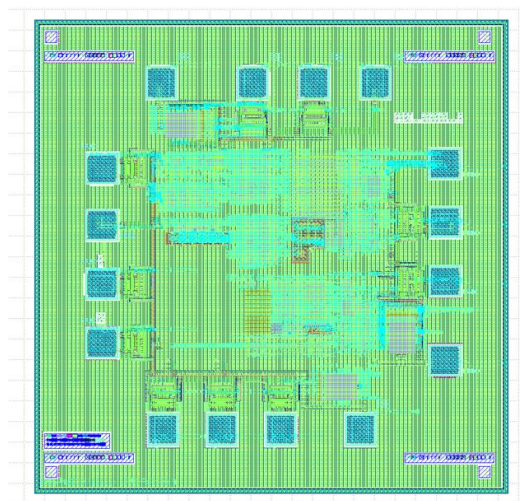


Рис. 11. Топология спроектированной микросхемы.

Заключение

По результатам моделирования спроектированной микросхемы можно сделать вывод, что выбранная технология потенциально позволяет реализовывать целочисленные микросхемы синтезаторов частот, с рабочим диапазоном до 1 ГГц. Такие микросхемы могут применяться в тактировании высокоскоростных АЦП и при фильтрации тактовых сигналов. Преимуществом можно считать дешевизну технологии, по сравнению с решениями на SiGe. Дальнейшее измерение реального образца прототипа позволит оценить точность предоставляемых моделей.

Финансирование: Производство интегральной микросхемы было выполнено за счет средств федерального бюджета в рамках Государственной программы Российской Федерации «Научно-технологическое развитие Российской Федерации».

Литература

1. Behzad Razavi. RF Microelectronics. – Second Edition. – New York: Hamilton Printing Company, 2011 – 916 с.
2. Ye S., Jansson L., Galton I. A multiple-crystal interface PLL with VCO realignment to reduce phase noise // IEEE Journal of Solid-State Circuits. – 2002. – Т. 37. – №. 12. – С. 1795-1803.
3. Guo H., Wang X., Kwasniewski T. Spur analysis and reduction of edge combining DLL-based frequency multiplier // 2013 26th IEEE Canadian Conference on Electrical and Computer Engineering (CCECE). – IEEE, 2013. – С. 1-4.
4. Casha O. et al. Analysis of the spur characteristics of edge-combining DLL-based frequency multipliers // IEEE Transactions on Circuits and Systems II: Express Briefs. – 2009. – Т. 56. – №. 2. – С. 132-136.
5. Рыжков А.В., Попов В.Н. Синтезаторы частот в технике радиосвязи. – Государственное унитарное предприятие научно-техническое издательство «Радио и связь», 1991.

6. Razavi B. Design of CMOS phase-locked loops: from circuit level to architecture level. – Cambridge University Press, 2020.
7. Banerjee D. Using a programmable input multiplier to minimize integer boundary spurs // Texas Instruments, Dallas, TX, USA, Tech. Rep. SNAA289. – 2016.
7. LMX2820 22.6-GHz Wideband PLLatinum™ RF Synthesizer With Phase Synchronization and JESD204B Support. – URL: <https://www.ti.com/product/LMX2820>
8. Hajimiri A. Noise in phase-locked loops // 2001 Southwest Symposium on Mixed-Signal Design (Cat. No. 01EX475). – IEEE, 2001. – С. 1-6.
9. Brennan R. Analyzing, optimizing and eliminating integer boundary spurs in phase-locked loops with VCO at up to 13.6 GHz // Analog Dialogue. – 2015. – Т. 49. – №. 8. – С. 1-3.

Для цитирования:

Евлампов А.Ю. Проектирование целочисленного синтезатора частот по технологии КМОП 180 нм «Микрон» // Журнал радиоэлектроники. – 2026. – №. 4. <https://doi.org/10.30898/1684-1719.2026.4.14>